

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-173691

(43) 公開日 平成10年(1998) 6月26日

(51) Int.Cl.<sup>6</sup>

H 0 4 L 12/46

12/28

識別記号

F I

H 0 4 L 11/00

3 1 0 C

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願平8-333857

(22) 出願日 平成8年(1996)12月13日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 叶谷 晋利

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

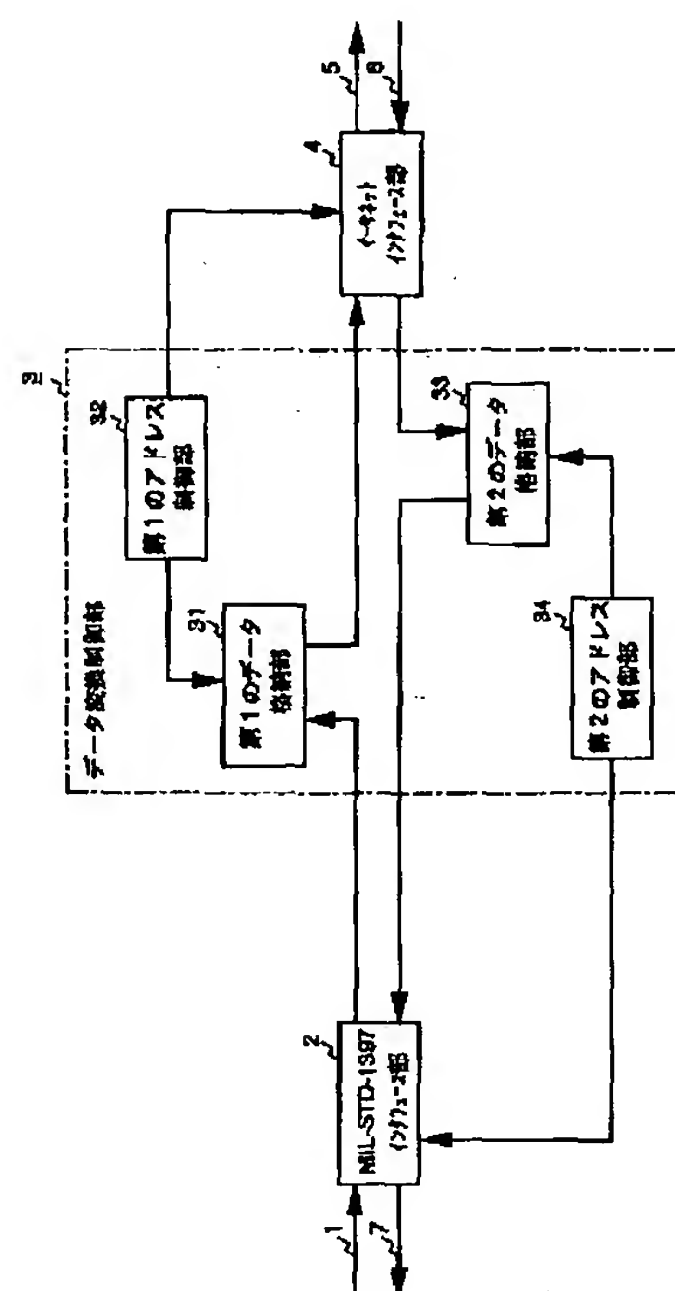
(74) 代理人 弁理士 宮田 金雄 (外2名)

(54) 【発明の名称】 LAN接続装置

(57) 【要約】

【課題】 MIL-STD-1397TYPE等のポイントツーポイントのインタフェースをイーサネット（登録商標）（Ethernet（登録商標））等のLAN（Local Area Network；ローカルエリアネットワーク）インタフェースに変換することができるLAN接続装置を得る。

【解決手段】 プロトコル変換機能を有するMIL-STD-1397インタフェース部とイーサネットインタフェース部及びデータ変換制御部から構成され、MIL-STD-1397規格の情報とLAN規格の情報を相互変換するようにした。



## 【特許請求の範囲】

【請求項1】 MIL規格のMIL-STD-1397 TYPE E規格等のインタフェース機能を有するMIL-STD-1397インタフェース部と、イーサネット(Ethernet)規格のインタフェース機能を有するイーサネットインタフェース部と、上記MIL-STD-1397インタフェース部から入力するデータを格納する第1のデータ格納部と、上記イーサネットインタフェース部から入力するデータを格納する第2のデータ格納部と、上記第1のデータ格納部に格納したデータを制御する第1のアドレス制御部と、上記第2のデータ格納部に格納したデータを制御する第2のアドレス制御部とを具備したことを特徴とするLAN接続装置。

【請求項2】 MIL規格のMIL-STD-1397 TYPE E規格等のインタフェース機能を有するMIL-STD-1397インタフェース部と、FDDI(Fiber Distributed Data Interface)規格のインタフェース機能を有するFDDIインタフェース部と、上記MIL-STD-1397インタフェース部から入力するデータを格納する第1のデータ格納部と、上記FDDIインタフェース部から入力するデータを格納する第2のデータ格納部と、上記第1のデータ格納部に格納したデータを制御する第1のアドレス制御部と、上記第2のデータ格納部に格納したデータを制御する第2のアドレス制御部とを具備したことを特徴とするLAN接続装置。

【請求項3】 MIL規格のMIL-STD-1397 TYPE E規格等のインタフェース機能を有するMIL-STD-1397インタフェース部と、SAFENET(Survivable Adaptable Fiber Optic Embedded Network)規格のインタフェース機能を有するSAFENETインタフェース部と、上記MIL-STD-1397インタフェース部から入力するデータを格納する第1のデータ格納部と、上記SAFENETインタフェース部から入力するデータを格納する第2のデータ格納部と、上記第1のデータ格納部に格納したデータを制御する第1のアドレス制御部と、上記第2のデータ格納部に格納したデータを制御する第2のアドレス制御部とを具備したことを特徴とするLAN接続装置。

【請求項4】 MIL規格のMIL-STD-1397 TYPE E規格等のインタフェース機能を有するMIL-STD-1397インタフェース部と、ATM(Asynchronous Transfer Mode)規格のインタフェース機能を有するATMインタフェース部と、上記MIL-STD-1397インタフェース部から入力するデータを格納する第1のデータ格納部と、上記ATMインタフェース部から入力するデータを格納する第2のデータ格納部と、上記第1のデータ格納部に格納したデータを制御する第1のアドレス制御部

と、上記第2のデータ格納部に格納したデータを制御する第2のアドレス制御部とを具備したことを特徴とするLAN接続装置。

【請求項5】 MIL規格のMIL-STD-1397 TYPE E規格等のインタフェース機能を複数チャンネル有するMIL-STD-1397多チャンネルインタフェース部と、イーサネット規格のインタフェース機能を有するイーサネットインタフェース部と、上記MIL-STD-1397多チャンネルインタフェース部から入力するデータを格納する第1のデータ格納部と、上記イーサネットインタフェース部から入力するデータを格納する第2のデータ格納部と、上記第1のデータ格納部に格納したデータを制御する第1のアドレス制御部と、上記第2のデータ格納部に格納したデータを制御する第2のアドレス制御部とを具備したことを特徴とするLAN接続装置。

【請求項6】 MIL規格のMIL-STD-1397 TYPE E規格等のインタフェース機能を有するMIL-STD-1397インタフェース部と、イーサネット規格のインタフェース機能を有するイーサネットインタフェース部と、上記MIL-STD-1397インタフェース部から入力するデータを格納する第1のデータ格納部と、上記イーサネットインタフェース部から入力するデータを格納する第2のデータ格納部と、上記第1のデータ格納部に格納したデータを制御する第1のアドレス制御部と、上記第2のデータ格納部に格納したデータを制御する第2のアドレス制御部と、上記MIL-STD-1397インタフェース部からの制御信号を制御する制御信号制御部とを具備したことを特徴とするLAN接続装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、ポイントツーポイントのインタフェースを有する装置をLAN(Local Area Network;ローカルエリアネットワーク)に接続することを可能とするLAN接続装置に関するものである。

## 【0002】

【従来の技術】MIL規格のMIL-STD-1397で規定されているポイントツーポイントのインタフェース機能は装置内に有しているが、LANのインタフェース機能は有していない装置(以下ポイントツーポイントのインタフェース装置という)をLANに接続しようとした場合、従来は、ハードウェア及びソフトウェアの改修を行い、LANに接続可能なLANインタフェース部をポイントツーポイントのインタフェース装置内に実装して、LANとのインタフェースがとれるようにしている。または、改修量、コストが増大するとともに、改修に要する期間をかなり必要とするため、上記ポイントツーポイントのインタフェース装置をLANに接続するこ

とは不可能としている。

#### 【0003】

【発明が解決しようとする課題】データ等の情報を複数の装置間で通信できるようにするためにポイントツーポイントのインタフェース装置をLANに接続する場合には、上記装置内にLANインタフェース部を新たに設ける必要があり、このために筐体、内部配線、ソフトウェア等の大規模な改修が必要であった。しかしながら、上記のような改修を行うことは、費用、改修規模等から考えてほとんど不可能であるという問題が生じた。

【0004】この発明はこのような課題を解決するためになされたもので、MIL規格のポイントツーポイントのインタフェースを有する装置ならば、容易にLANに接続することを可能とするLAN接続装置を提供するものである。

#### 【0005】

【課題を解決するための手段】第1の発明によるLAN接続装置は、MIL規格のフォーマットの生成、分解、アドレス認識を行うMIL-STD-1397インタフェース部とイーサネット規格のフォーマットの生成、分解、アドレス認識を行うイーサネットインタフェース部と上記両インタフェース部のデータを格納し、アドレス制御を行うデータ変換制御部を設けて、MIL規格とイーサネット規格とのプロトコル変換を可能にするようにしたものである。

【0006】また、第2の発明によるLAN接続装置は、FDDILANとデータの入出力を行い、FDDI規格のフォーマットの生成、分解、アドレス認識を行うFDDIインタフェース部を設けて、MIL規格とFDDI規格とのプロトコル変換を可能にするようにしたものである。

【0007】また、第3の発明によるLAN接続装置は、SAFENET (Survivable Adaptable Fiber Optic Embedded Network) LANとデータの入出力を行い、SAFENET規格のフォーマットの生成、分解、アドレス認識を行うSAFENETインタフェース部を設けて、MIL規格とSAFENET規格とのプロトコル変換を可能にするようにしたものである。

【0008】また、第4の発明によるLAN接続装置は、ATM (Asynchronous Transfer Mode) LANとデータの入出力を行い、ATM規格のフォーマットの生成、分解、アドレス認識を行うATMインタフェース部を設けて、MIL規格とATM規格とのプロトコル変換を可能にするようにしたものである。

【0009】また、第5の発明によるLAN接続装置は、MIL規格のデータとの入出力を行う機能を多チャネル収容するMIL-STD-1397多チャネルインタフェース部を設けて、MIL規格のインタフェースを

同時に多チャネルサポート可能にするようにしたものである。

【0010】また、第6の発明によるLAN接続装置は、MIL-STD-1397インタフェース部からの制御信号を制御する制御信号制御部を設けて、制御信号の制御を可能にするようにしたものである。

#### 【0011】

##### 【発明の実施の形態】

実施の形態1. 図1はこの発明の実施の形態1を示す構成図であり、図において1は図示していない装置から入力するMIL規格の入力データ、2はMIL規格のデータとのインタフェースを行うMIL-STD-1397インタフェース部、3はMIL規格のデータとイーサネット (Ethernet)、FDDI等のLAN規格のデータとを変換するためにデータを格納し、タイミング調整を行うデータ変換制御部、4はイーサネット規格のデータとのインタフェースを行うイーサネットインタフェース部、5は図示していないLANに出力するLAN出力データ、6は図示していないLANから入力するLAN入力データ、7は図示していない装置に出力するMIL規格の出力データ、31は上記MIL-STD-1397インタフェース部2から出力されるデータを格納する上記データ変換制御部3に含まれる第1のデータ格納部、32は上記第1のデータ格納部31と上記イーサネットインタフェース部4に対してアドレス制御を行う上記データ変換制御部3に含まれる第1のアドレス制御部、33は上記イーサネットインタフェース部4から出力されるデータを格納する上記データ変換制御部3に含まれる第2のデータ格納部、34は上記MIL-STD-1397インタフェース部2と上記第2のデータ格納部33に対してアドレス制御を行う上記データ変換制御部3に含まれる第2のアドレス制御部である。

【0012】図1においてMIL-STD-1397インタフェース部2は図示していない装置からMIL規格の入力データ1を入力し、フォーマットの分解を行い、第1のデータ格納部31にデータを出力する。上記第1のデータ格納部31はデータを格納し、第1のアドレス制御部32の制御により、格納したデータをイーサネットインタフェース部4に出力する。上記イーサネットインタフェース部4はイーサネット規格のフォーマットの生成を行い、上記第1のアドレス制御部32の制御により、図示していないLANにLAN出力データ5を出力する。また、上記イーサネットインタフェース部4は図示していないLANからLAN入力データ6を入力し、フォーマットの分解を行い、第2のデータ格納部33にデータを出力する。上記第2のデータ格納部33はデータを格納し、第2のアドレス制御部34の制御により、格納したデータを上記MIL-STD-1397インタフェース部2に出力する。上記MIL-STD-1397インタフェース部2はMIL規格のフォーマットの生

成を行い、上記第2のアドレス制御部34の制御により、MIL規格の出力データ7を図示していない装置に出力する。

【0013】実施の形態2. 図2はこの発明の実施の形態2を示す構成図であり、図において1は図示していない装置から入力するMIL規格の入力データ、2はMIL規格のデータとのインタフェースを行うMIL-STD-1397インタフェース部、3はMIL規格のデータとイーサネット、FDDI等のLAN規格のデータと変換するためにデータを格納し、タイミング調整を行うデータ変換制御部、8はFDDI規格のデータとのインタフェースを行うFDDIインタフェース部、5は図示していないLANに出力するLAN出力データ、6は図示していないLANから入力するLAN入力データ、7は図示していない装置に出力するMIL規格の出力データ、31は上記MIL-STD-1397インタフェース部2から出力されるデータを格納する上記データ変換制御部3に含まれる第1のデータ格納部、32は上記第1のデータ格納部31と上記FDDIインタフェース部8に対してアドレス制御を行う上記データ変換制御部3に含まれる第1のアドレス制御部、33は上記FDDIインタフェース部8から出力されるデータを格納する上記データ変換制御部3に含まれる第2のデータ格納部、34は上記MIL-STD-1397インタフェース部2と上記第2のデータ格納部33に対してアドレス制御を行う上記データ変換制御部3に含まれる第2のアドレス制御部である。

【0014】図2においてMIL-STD-1397インタフェース部2は図示していない装置からMIL規格の入力データ1を入力し、フォーマットの分解を行い、第1のデータ格納部31にデータを出力する。上記第1のデータ格納部31はデータを格納し、第1のアドレス制御部32の制御により、格納したデータをFDDIインタフェース部8に出力する。上記FDDIインタフェース部8はFDDI規格のフォーマットの生成を行い、上記第1のアドレス制御部32の制御により、図示していないLANにLAN出力データ5を出力する。また、上記FDDIインタフェース部8は図示していないLANからLAN入力データ6を入力し、フォーマットの分解を行い、第2のデータ格納部33にデータを出力する。上記第2のデータ格納部33はデータを格納し、第2のアドレス制御部34の制御により、格納したデータを上記MIL-STD-1397インタフェース部2に出力する。上記MIL-STD-1397インタフェース部2はMIL規格のフォーマットの生成を行い、上記第2のアドレス制御部34の制御により、MIL規格の出力データ7を図示していない装置に出力する。

【0015】実施の形態3. 図3はこの発明の実施の形態3を示す構成図であり、図において1は図示していない装置から入力するMIL規格の入力データ、2はMIL

L規格のデータとのインタフェースを行うMIL-STD-1397インタフェース部、3はMIL規格のデータとイーサネット、FDDI等のLAN規格のデータと変換するためにデータを格納し、タイミング調整を行うデータ変換制御部、9はSAFENET規格のデータとのインタフェースを行うSAFENETインタフェース部、5は図示していないLANに出力するLAN出力データ、6は図示していないLANから入力するLAN入力データ、7は図示していない装置に出力するMIL規格の出力データ、31は上記MIL-STD-1397インタフェース部2から出力されるデータを格納する上記データ変換制御部3に含まれる第1のデータ格納部、32は上記第1のデータ格納部31と上記SAFENETインタフェース部9に対してアドレス制御を行う上記データ変換制御部3に含まれる第1のアドレス制御部、33は上記SAFENETインタフェース部9から出力されるデータを格納する上記データ変換制御部3に含まれる第2のデータ格納部、34は上記MIL-STD-1397インタフェース部2と上記第2のデータ格納部33に対してアドレス制御を行う上記データ変換制御部3に含まれる第2のアドレス制御部である。

【0016】図3においてMIL-STD-1397インタフェース部2は図示していない装置からMIL規格の入力データ1を入力し、フォーマットの分解を行い、第1のデータ格納部31にデータを出力する。上記第1のデータ格納部31はデータを格納し、第1のアドレス制御部32の制御により、格納したデータをSAFENETインタフェース部9に出力する。上記SAFENETインタフェース部9はSAFENET規格のフォーマットの生成を行い、上記第1のアドレス制御部32の制御により、図示していないLANにLAN出力データ5を出力する。また、上記SAFENETインタフェース部9は図示していないLANからLAN入力データ6を入力し、フォーマットの分解を行い、第2のデータ格納部33にデータを出力する。上記第2のデータ格納部33はデータを格納し、第2のアドレス制御部34の制御により、格納したデータを上記MIL-STD-1397インタフェース部2に出力する。上記MIL-STD-1397インタフェース部2はMIL規格のフォーマットの生成を行い、上記第2のアドレス制御部34の制御により、MIL規格の出力データ7を図示していない装置に出力する。

【0017】実施の形態4. 図4はこの発明の実施の形態4を示す構成図であり、図において1は図示していない装置から入力するMIL規格の入力データ、2はMIL規格のデータとのインタフェースを行うMIL-STD-1397インタフェース部、3はMIL規格のデータとイーサネット、FDDI等のLAN規格のデータと変換するためにデータを格納し、タイミング調整を行うデータ変換制御部、10はATM規格のデータとのイ



インタフェースを行うATMインタフェース部、5は図示していないLANに出力するLAN出力データ、6は図示していないLANから入力するLAN入力データ、7は図示していない装置に出力するMIL規格の出力データ、31は上記MIL-STD-1397インタフェース部2から出力されるデータを格納する上記データ変換制御部3に含まれる第1のデータ格納部、32は上記第1のデータ格納部31と上記ATMインタフェース部10に対してアドレス制御を行う上記データ変換制御部3に含まれる第1のアドレス制御部、33は上記ATMインタフェース部10から出力されるデータを格納する上記データ変換制御部3に含まれる第2のデータ格納部、34は上記MIL-STD-1397インタフェース部2と上記第2のデータ格納部33に対してアドレス制御を行う上記データ変換制御部3に含まれる第2のアドレス制御部である。

【0018】図4においてMIL-STD-1397インタフェース部2は図示していない装置からMIL規格の入力データ1を入力し、フォーマットの分解を行い、第1のデータ格納部31にデータを出力する。上記第1のデータ格納部31はデータを格納し、第1のアドレス制御部32の制御により、格納したデータをATMインタフェース部10に出力する。上記ATMインタフェース部10はATM規格のフォーマットの生成を行い、上記第1のアドレス制御部32の制御により、図示していないLANにLAN出力データ5を出力する。また、上記ATMインタフェース部10は図示していないLANからLAN入力データ6を入力し、フォーマットの分解を行い、第2のデータ格納部33にデータを出力する。上記第2のデータ格納部33はデータを格納し、第2のアドレス制御部34の制御により、格納したデータを上記MIL-STD-1397インタフェース部2に出力する。上記MIL-STD-1397インタフェース部2はMIL規格のフォーマットの生成を行い、上記第2のアドレス制御部34の制御により、MIL規格の出力データ7を図示していない装置に出力する。

【0019】実施の形態5. 図5はこの発明の実施の形態5を示す構成図であり、図において1は図示していない装置から入力するMIL規格の入力データ、11はMIL規格のデータとのインタフェースを複数チャンネル有するMIL-STD-1397多チャンネルインタフェース部、3はMIL規格のデータとイーサネット、FDDI等のLAN規格のデータとを変換するためにデータを格納し、タイミング調整を行うデータ変換制御部、4はイーサネット規格のデータとのインタフェースを行うイーサネットインタフェース部、5は図示していないLANに出力するLAN出力データ、6は図示していないLANから入力するLAN入力データ、7は図示していない装置に出力するMIL規格の出力データ、31は上記MIL-STD-1397多チャンネルインタフェース部

11から出力されるデータを格納する上記データ変換制御部3に含まれる第1のデータ格納部、32は上記第1のデータ格納部31と上記イーサネットインタフェース部4に対してアドレス制御を行う上記データ変換制御部3に含まれる第1のアドレス制御部、33は上記イーサネットインタフェース部4から出力されるデータを格納する上記データ変換制御部3に含まれる第2のデータ格納部、34は上記MIL-STD-1397多チャンネルインタフェース部11と上記第2のデータ格納部33に対してアドレス制御を行う上記データ変換制御部3に含まれる第2のアドレス制御部である。

【0020】図5においてMIL-STD-1397多チャンネルインタフェース部11は図示していない装置からMIL規格の入力データ1を複数チャンネル入力し、フォーマットの分解を行い、第1のデータ格納部31にデータを出力する。上記第1のデータ格納部31はデータを格納し、第1のアドレス制御部32の制御により、格納したデータをイーサネットインタフェース部4に出力する。上記イーサネットインタフェース部4はイーサネット規格のフォーマットの生成を行い、上記第1のアドレス制御部32の制御により、図示していないLANにLAN出力データ5を出力する。また、上記イーサネットインタフェース部4は図示していないLANからLAN入力データ6を入力し、フォーマットの分解を行い、第2のデータ格納部33にデータを出力する。上記第2のデータ格納部33はデータを格納し、第2のアドレス制御部34の制御により、格納したデータを上記MIL-STD-1397多チャンネルインタフェース部11に出力する。上記MIL-STD-1397多チャンネルインタフェース部11はMIL規格のフォーマットの生成を行い、上記第2のアドレス制御部34の制御により、MIL規格の出力データ7を図示していない複数の装置に出力する。

【0021】実施の形態6. 図6はこの発明の実施の形態6を示す構成図であり、図において1は図示していない装置から入力するMIL規格の入力データ、2はMIL規格のデータとのインタフェースを行うMIL-STD-1397インタフェース部、3はMIL規格のデータとイーサネット、FDDI等のLAN規格のデータとを変換するためにデータを格納し、タイミング調整を行うデータ変換制御部、4はイーサネット規格のデータとのインタフェースを行うイーサネットインタフェース部、5は図示していないLANに出力するLAN出力データ、6は図示していないLANから入力するLAN入力データ、7は図示していない装置に出力するMIL規格の出力データ、31は上記MIL-STD-1397インタフェース部2から出力されるデータを格納する上記データ変換制御部3に含まれる第1のデータ格納部、32は上記第1のデータ格納部31と上記イーサネットインタフェース部4に対してアドレス制御を行う上記デ

ータ変換制御部3に含まれる第1のアドレス制御部、33は上記イーサネットインタフェース部4から出力されるデータを格納する上記データ変換制御部3に含まれる第2のデータ格納部、34は上記MIL-STD-1397インタフェース部2と上記第2のデータ格納部33に対してアドレス制御を行う上記データ変換制御部3に含まれる第2のアドレス制御部、12は上記MIL-STD-1397インタフェース部2からの制御信号を入力し、制御信号を制御して上記MIL-STD-1397インタフェース部2に出力する制御信号制御部である。

【0022】図6においてMIL-STD-1397インタフェース部2は図示していない装置からMIL規格の入力データ1を入力し、フォーマットの分解を行い、第1のデータ格納部31にデータを出力する。上記第1のデータ格納部31はデータを格納し、第1のアドレス制御部32の制御により、格納したデータをイーサネットインタフェース部4に出力する。上記イーサネットインタフェース部4はイーサネット規格のフォーマットの生成を行い、上記第1のアドレス制御部32の制御により、図示していないLANにLAN出力データ5を出力する。また、上記イーサネットインタフェース部4は図示していないLANからLAN入力データ6を入力し、フォーマットの分解を行い、第2のデータ格納部33にデータを出力する。上記第2のデータ格納部33はデータを格納し、第2のアドレス制御部34の制御により、格納したデータを上記MIL-STD-1397インタフェース部2に出力する。上記MIL-STD-1397インタフェース部2はMIL規格のフォーマットの生成を行い、上記第2のアドレス制御部34の制御により、MIL規格の出力データ7を図示していない装置に出力する。制御信号制御部12は上記MIL-STD-1397インタフェース部2から出力される制御信号を入力し、制御信号を制御して上記MIL-STD-1397インタフェース部2に出力する。

【0023】

【発明の効果】第1から第4の発明によれば、MIL規

格とLAN規格のプロトコルの相互変換ができるようにしたため、MIL規格のポイントツーポイントのインタフェースを容易にLANのインタフェースに変換することができるという効果がある。

【0024】また、第5の発明によれば、MIL規格のポイントツーポイントのインタフェースを複数同時に扱えるようにしたため、1台の装置で複数のポイントツーポイントのインタフェースを有する装置を接続できるという効果がある。

10 【0025】また、第6の発明によれば、MIL規格の制御信号を制御できるようにしたため、タイムアウトを制御するなど制御信号が任意に扱えるという効果がある。

【図面の簡単な説明】

【図1】 この発明によるLAN接続装置の実施の形態1を示す図である。

【図2】 この発明によるLAN接続装置の実施の形態2を示す図である。

20 【図3】 この発明によるLAN接続装置の実施の形態3を示す図である。

【図4】 この発明によるLAN接続装置の実施の形態4を示す図である。

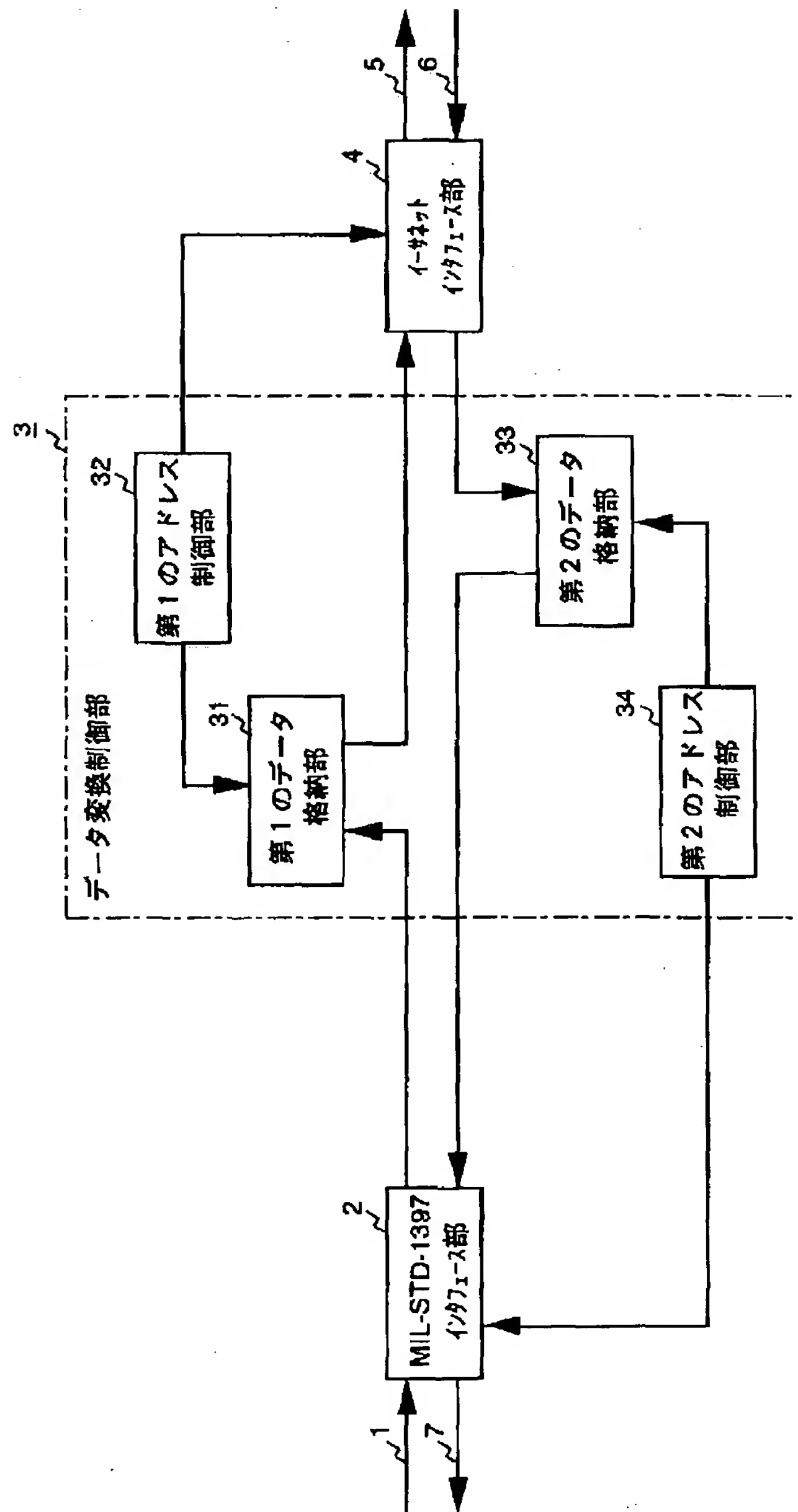
【図5】 この発明によるLAN接続装置の実施の形態5を示す図である。

【図6】 この発明によるLAN接続装置の実施の形態6を示す図である。

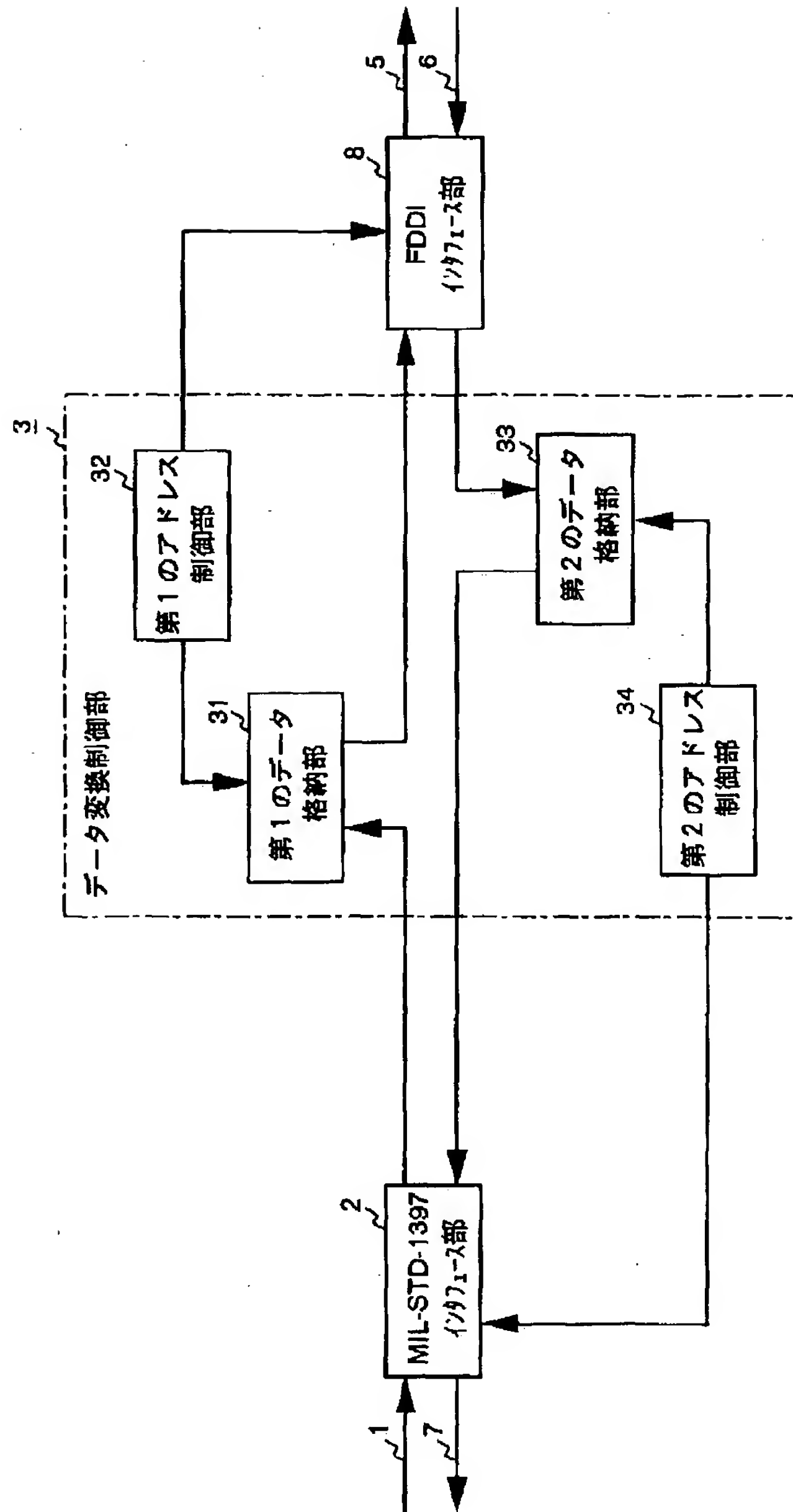
【符号の説明】

30 1 MIL規格の入力データ、2 MIL-STD-1397インタフェース部、3 データ変換制御部、4 イーサネットインタフェース部、5 LAN出力データ、6 LAN入力データ、7 MIL規格の出力データ、8 FDDIインタフェース部、9 SAFENE Tインタフェース部、10 ATMインタフェース部、11 MIL-STD-1397多チャネルインタフェース部、12 制御信号制御部、31 第1のデータ格納部、32 第1のアドレス制御部、33 第2のデータ格納部、34 第2のアドレス制御部。

【図1】

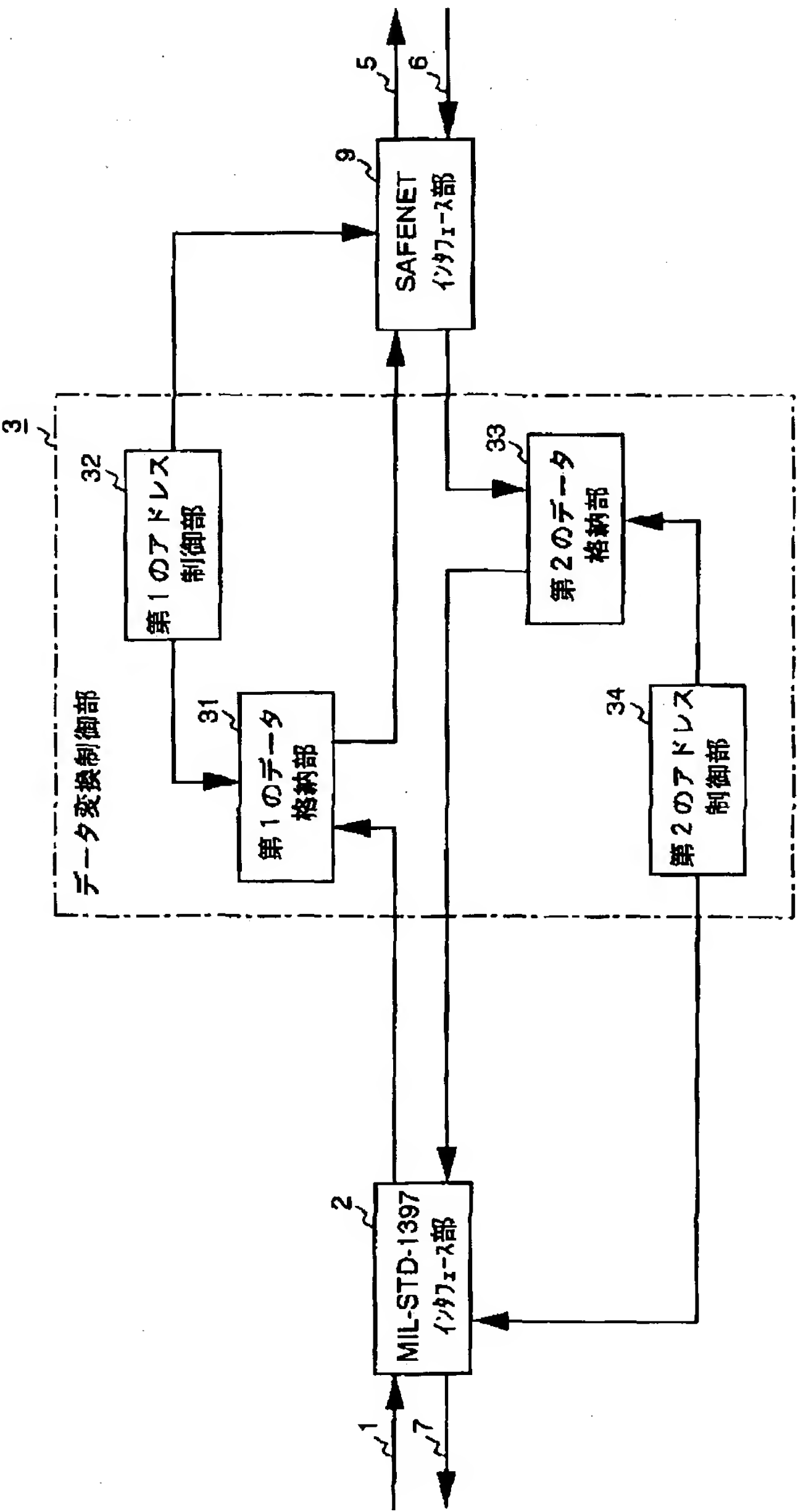


【図2】

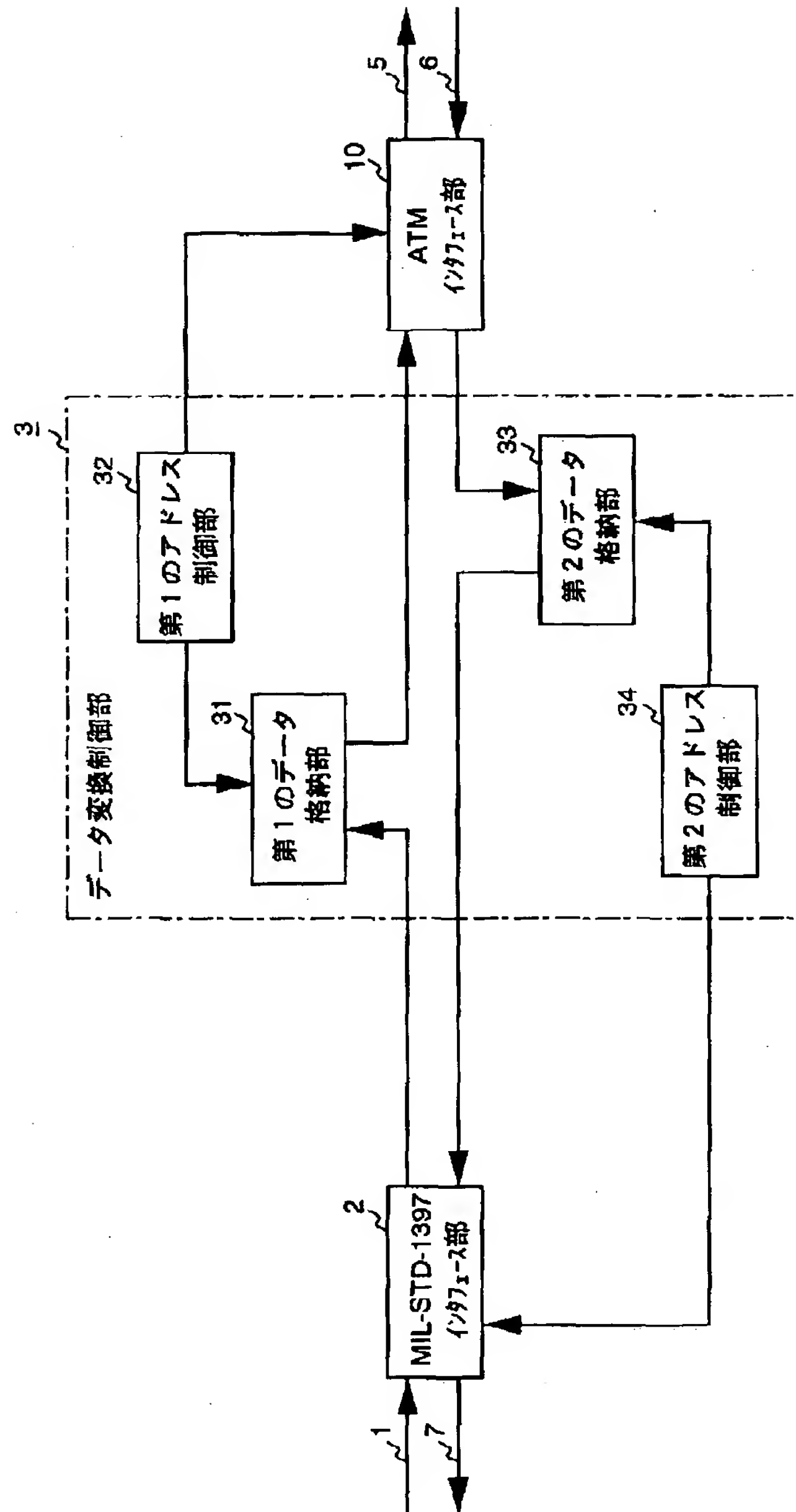




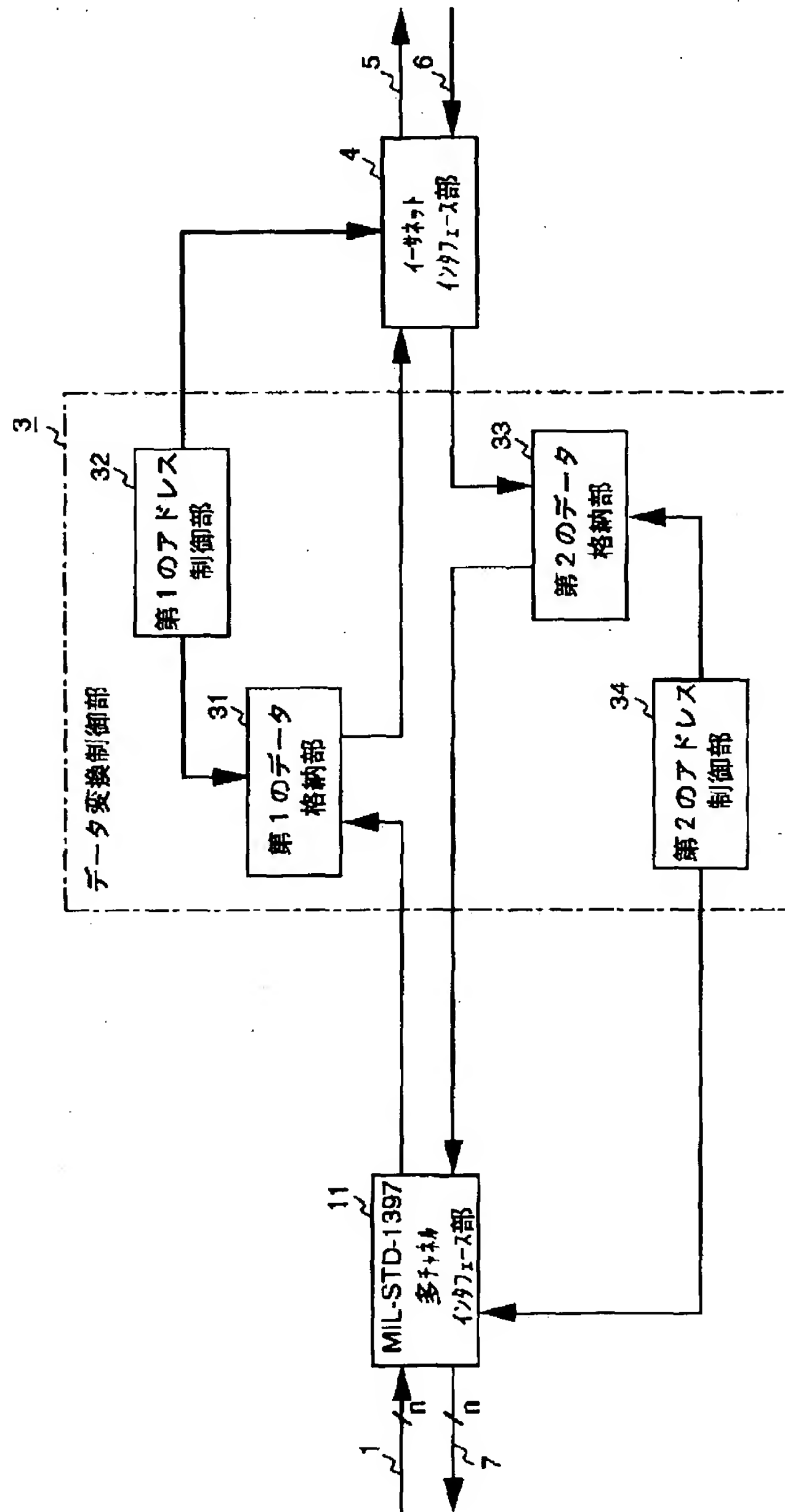
【図3】



【図4】



【図5】



【図6】

